TD 4

**Exercice n°1 :** Types de PLDs

Indiquez, pour chacune des expressions suivantes, quelle technologie cible lui correspond le mieux dans la liste suivante: FPGA, CPLD, PAL, PLA, EPLD ou FPGA-plateforme(PSOC).

1. Dispositifs logiques programmables ayant la plus haute densité CPLD

2. Dispositifs logiques programmables complexes le plus souvent configurables via une mémoire vive statique FPGA

3. Dispositifs logiques programmables complexes plutôt combinatoires que séquentiels PLA

4. Dispositifs logiques programmables simples avec matrice-ET et matrice-OU programmables EPLD

5. Dispositifs logiques programmables complexes formés de ressources logiques programmables en plus de noyau(x) dur(s) de microprocesseur et / ou d’autres ressources spécialisées FPGA-plateforme(PSOC)

6. Dispositifs logiques programmables complexes dont les délais entrée-sortie sont prévisibles EPLD

**EXERCICE 2**

Conversion des nombres à virgule en base B

● Exemple : conversion de 28,8625 en binaire

– Conversion de 28 : (11100)2.

– Conversion de 0,8625 :

● 0,8625 x 2 = 1,725 = 1 + 0,725

● 0,725 x 2 = 1,45 = 1 + 0,45

● 0,45 x 2 = 0,9 = 0 + 0,9

● 0,9 x 2 = 1,8 = 1 + 0,8

● 0,8 x 2 = 1,6 = 1 + 0,6

● 0,6 x 2 = 1,2 = 1 + 0,2

● 0,2 x 2 = 0,4 = 0 + 0,4

● 0,4 x 2 = 0,8 = 0 + 0,8 …

28,8625 peut être représenté par (11100,11011100...)2

**EXERCICE 3**

**Pipelining égal**

Un processeur non pipeliné possède un temps de cycle de 10 ns. Quels seront les temps de cycle des versions pipelinées du processeur avec un pipeline de 2, 4, 8 et 16 étages, si la logique de chemin de données est répartie de manière égale entre les étages du pipeline (on considère que le temps de stabilisation après le passage dans chaque étage est de 0,5 ns) ? En outre quel est le temps d’exécution d’une instruction complète pour chacune des versions pipelinées ?.



**Correction :**

*En appliquant cette formule, on obtient des temps de cycle de 5,5, 3, 1,75 et 1,125 ns. Pour calculer le temps d’exécution d’une instruction complète, il suffit de multiplier le temps de cycle par le nombre d’étages du pipeline, ce qui donne 11, 12, 14 et 18 ns.*

Un **circuit logique programmable**, ou **réseau logique programmable**, est un [circuit intégré](https://fr.wikipedia.org/wiki/Circuit_int%C3%A9gr%C3%A9) logique qui peut être [reprogrammé](https://fr.wikipedia.org/wiki/Programmation) après sa fabrication. Notons qu'il serait impropre de parler de programmation au sens logiciel (contrairement à un microprocesseur, il n'exécute aucune ligne de code). Ici, mieux vaudrait parler de « reconfiguration » plutôt que de reprogrammation (on modifie des connexions ou le comportement du composant, on connecte des portes logiques entre elles, *etc*.). Le verbe programmer est toutefois le plus fréquent, mais au sens de personnaliser. Il s'agit bel et bien de réseaux logiques reconfigurables et modifiables.

Il est composé de nombreuses cellules logiques élémentaires et bascules logiques librement connectables (c'est justement la reconfiguration, ou programmation, du composant qui définit les connexions faites entre portes logiques).

Ce type de [composant électronique](https://fr.wikipedia.org/wiki/Composant_%C3%A9lectronique) est communément désigné par différents [sigles](https://fr.wikipedia.org/wiki/Sigle) [anglais](https://fr.wikipedia.org/wiki/Anglais) dont :

* **FPGA** (*field-programmable gate array*, réseau de portes programmables *in situ*) ;
* **PLD** (*programmable logic device*, circuit logique programmable) ;
* **EPLD** (*erasable programmable logic device*, circuit logique programmable et effaçable) ;
* **CPLD** (*complex programmable logic device*, circuit logique programmable complexe) ;
* **PAL** (*programmable array logic*, réseau logique programmable) ;
* **PLA** (*programmable logic array*, réseau logique programmable).